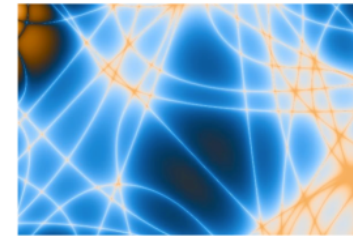




Inatel Labs

***Information and
Communications
Technologies***



NovaGenesis

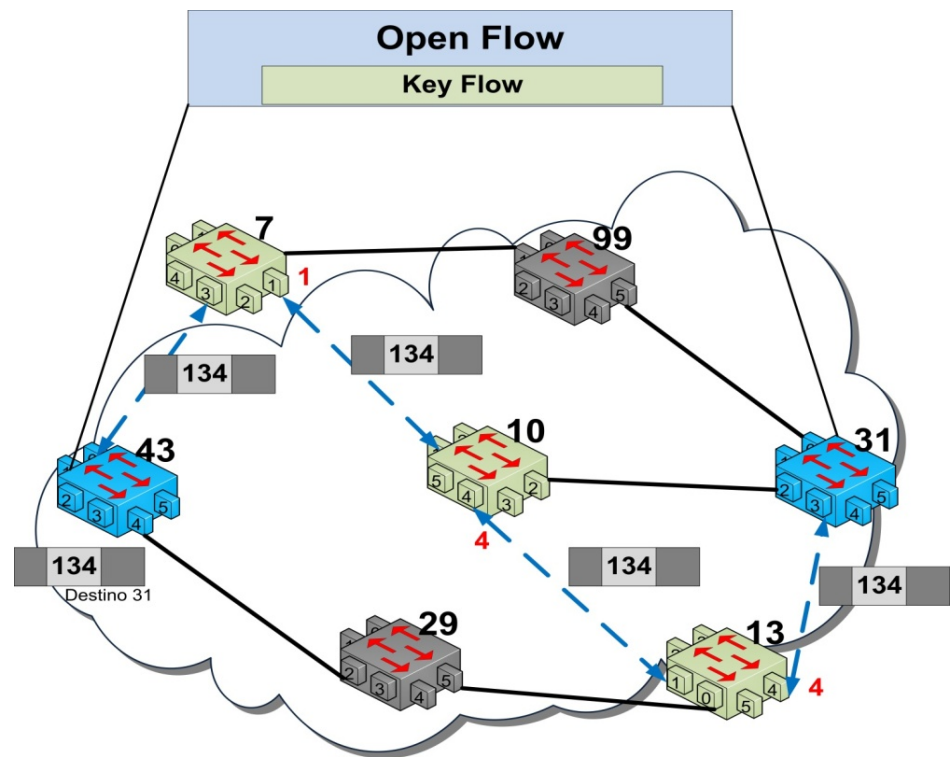
Implementação de um Computador KeyFlow 10Gbps para Redes Definidas por Software

**Matheus de Souza, Natan de Oliveira, Antônio M. Alberti e
Moisés R. N. Ribeiro**

19/05/2017

Agenda

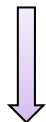
- ▶ KeyFlow
- ▶ KeyFlow vs OpenFlow
- ▶ Implementação
- ▶ Testes e Resultados



KeyFlow

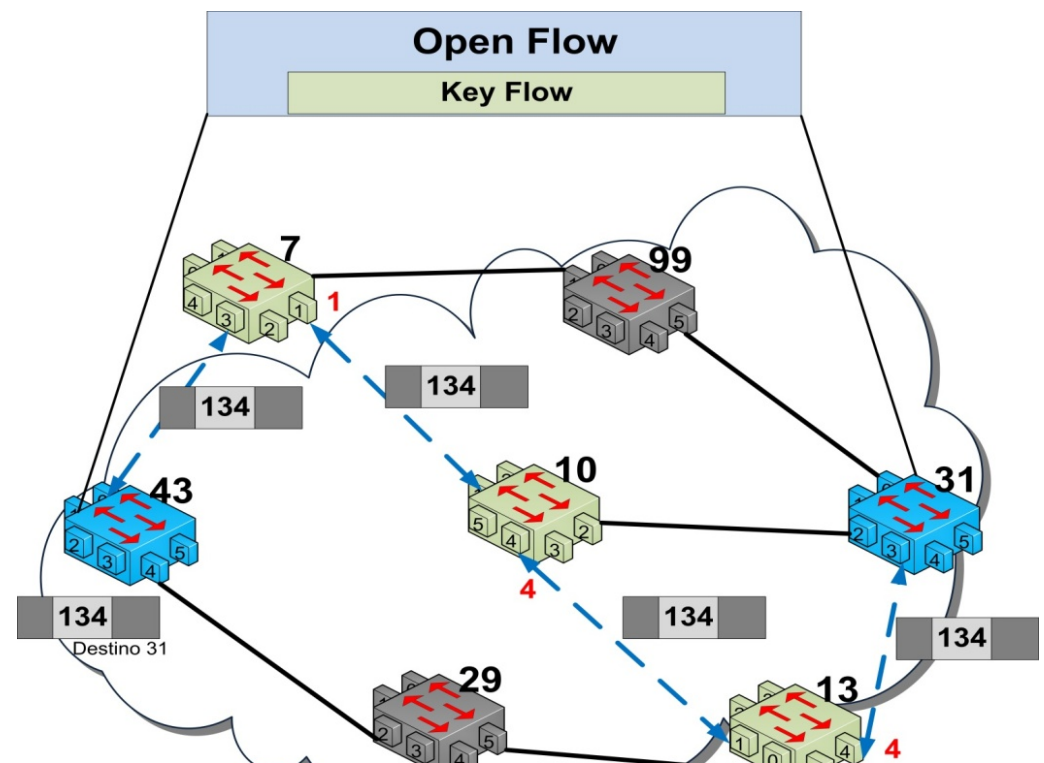
- ▶ Protocolo para o plano de dados de SDN
- ▶ Sem manutenção de estados
- ▶ Encaminhamento baseado em operação de módulo entre rótulo global chave local
- ▶ Identificadores determinados pelo Teorema Chinês do Resto.

inport	Ethernet			VLAN		IP				TCP/UDP	
	src	dst	type	id	pri	src	dst	proto	ToS	src	dst



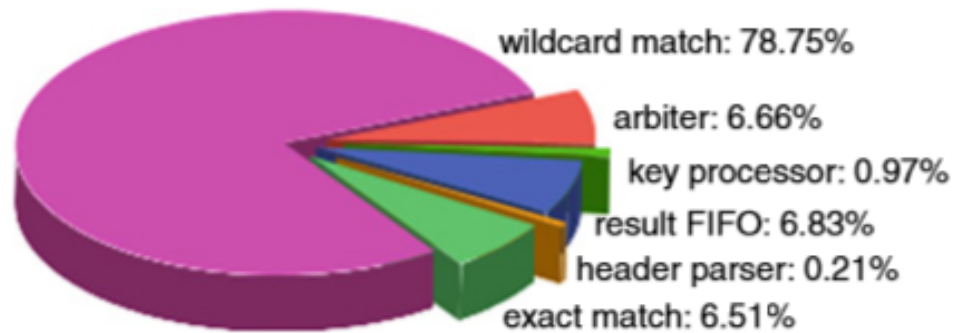
Rótulo

Porta de Saída = Rótulo mod Chave Local



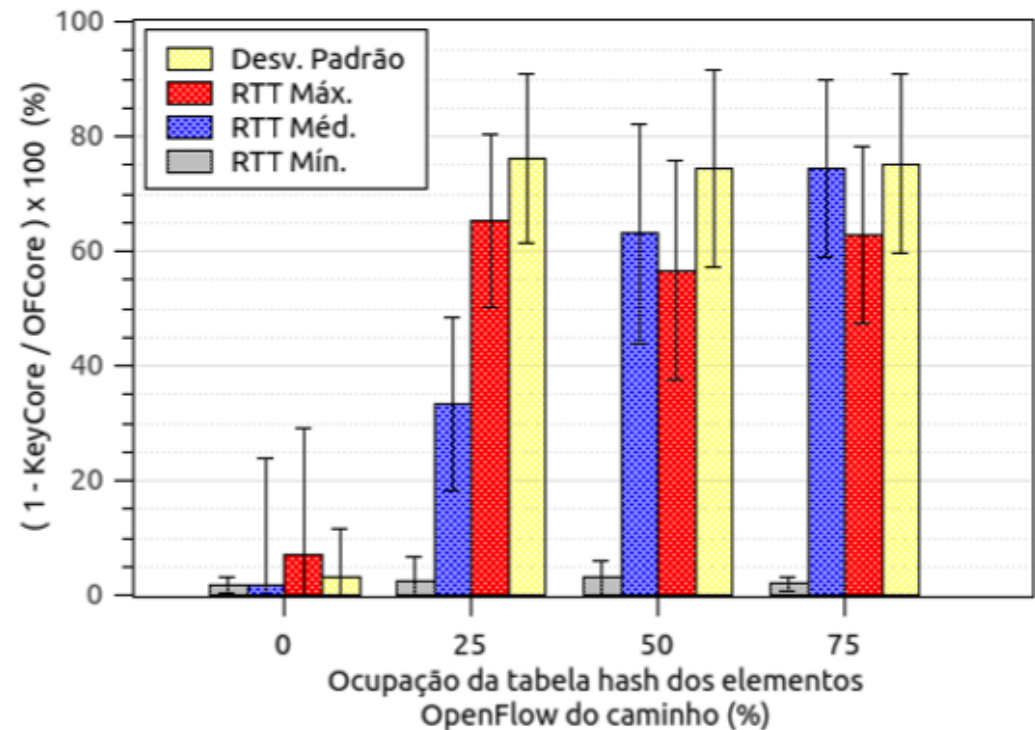
KeyFlow vs OpenFlow

- ▶ **Melhorias:**
- ▶ Redução do tempo de (re)configuração da rede
- ▶ Diminuição de latência/*jitter*
- ▶ Redução do consumo de energia



Module-based power consumption results
[Cercós et al. 2014]

Eficiência de RTT em caminhos com núcleo KeyFlow em relação a caminho com núcleo OpenFlow



NetFPGA – 10G

- ▶ Xilinx Virtex-5
- ▶ 4 transeivers 10Gbps
- ▶ X8 PCI Express Gen 2
- ▶ 4 RLDRAM's
- ▶ 2 FLASH's 256Mb
- ▶ CPLD Xilinx
- ▶ HW e SW open source

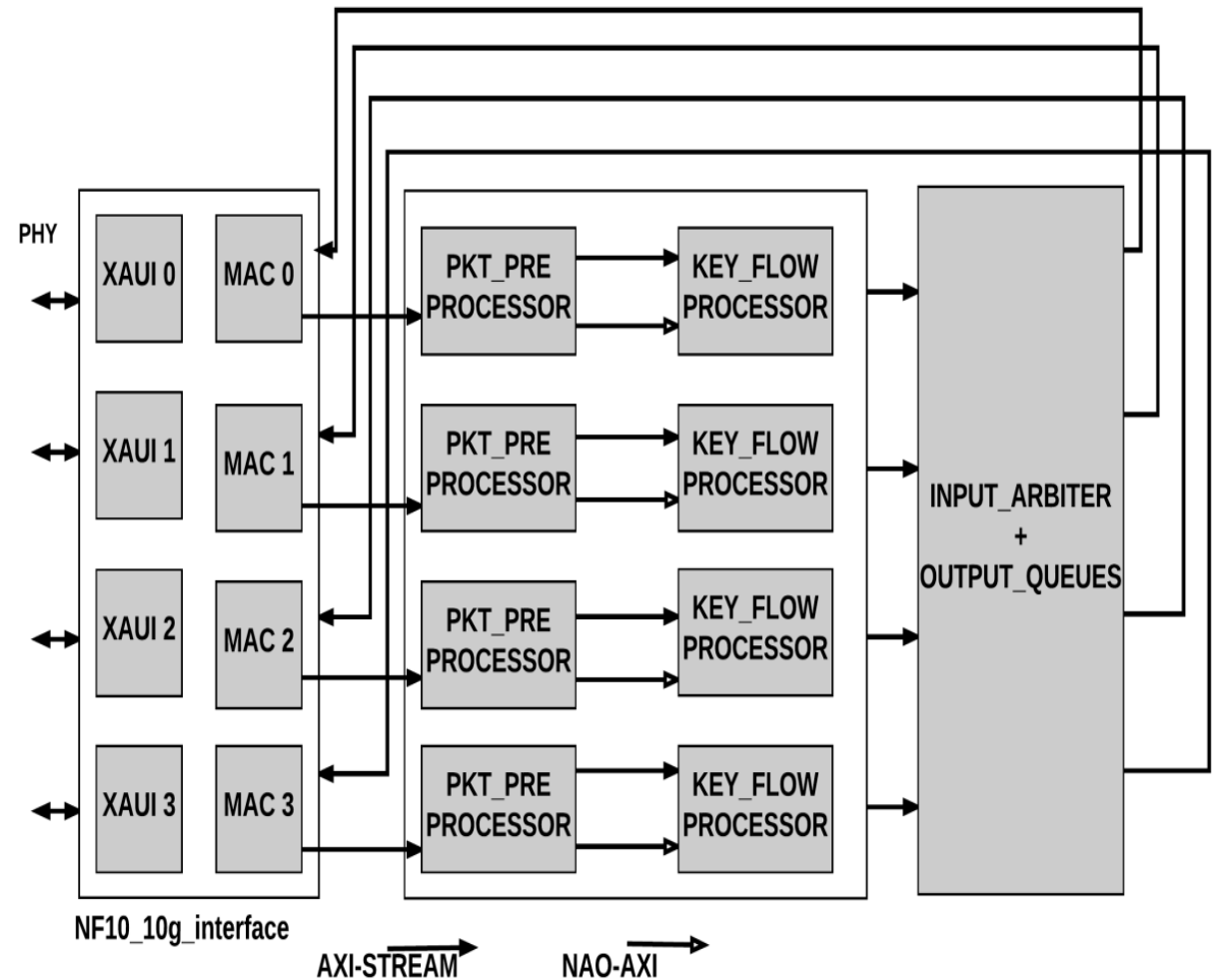


Supporters of the NetFPGA project



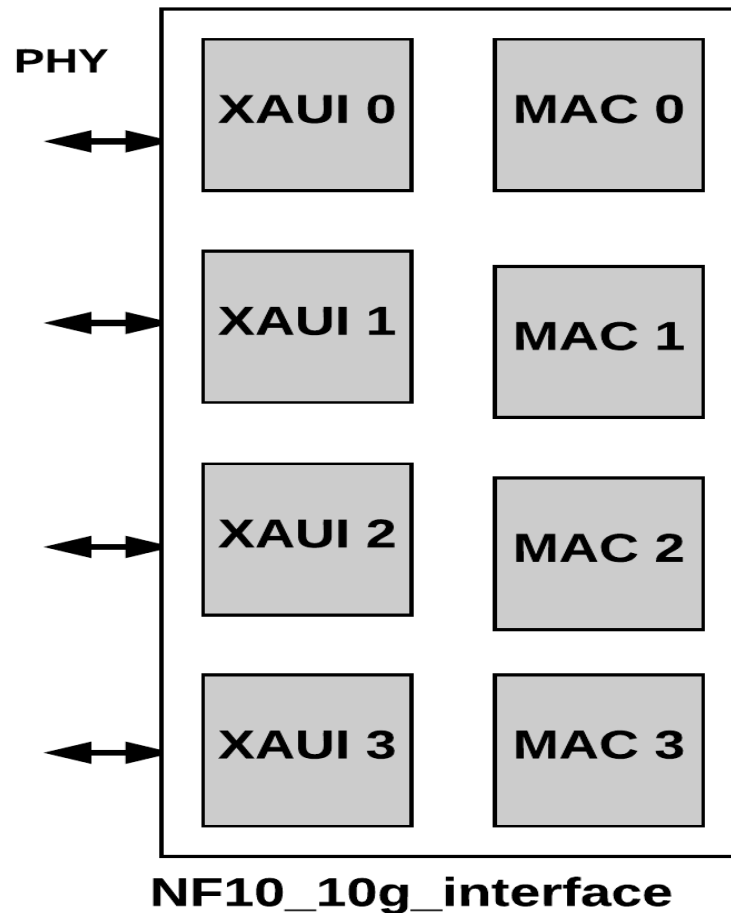
Implementação

- ▶ HW descrito em Verilog
- ▶ Comunicação entre IPCores por AXI-Stream
- ▶ Ferramenta:
Xilinx ISE Design Suite
(SDK, ISim, XPS, ...)
- ▶ Fluxo: Descrição, simulação, síntese e teste



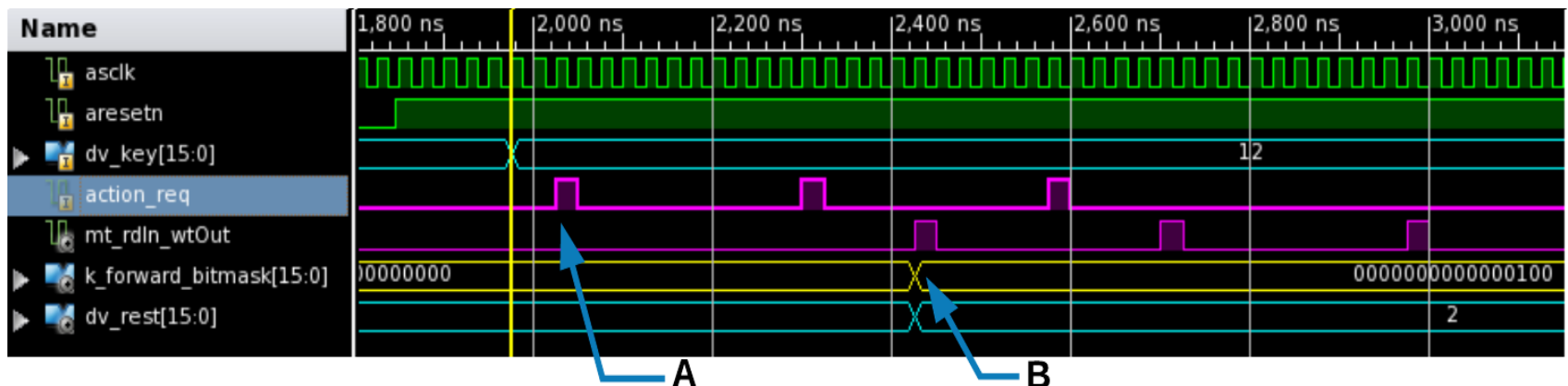
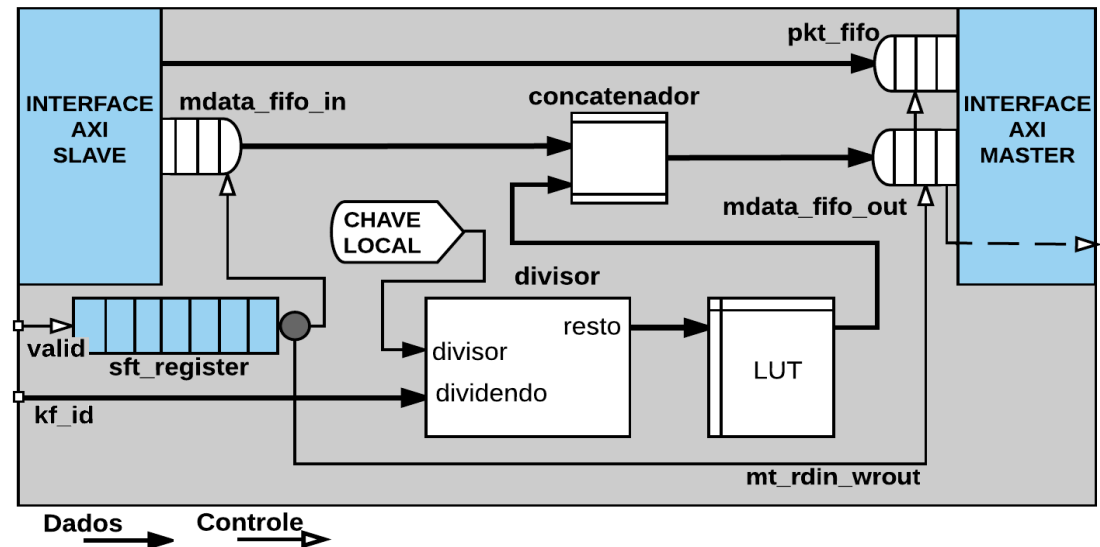
Implementação

- ▶ **NF10_10g_interface:**
- ▶ Adaptação entre os barramentos XAUI e XGMII
- ▶ Executar a lógica da subcamada MAC do padrão Ethernet 10Gbps (IEEE 802.3-2012).
- ▶ **Pkt_preprocessor:**
- ▶ Alterado para extrair o rótulo KeyFlow dos pacotes



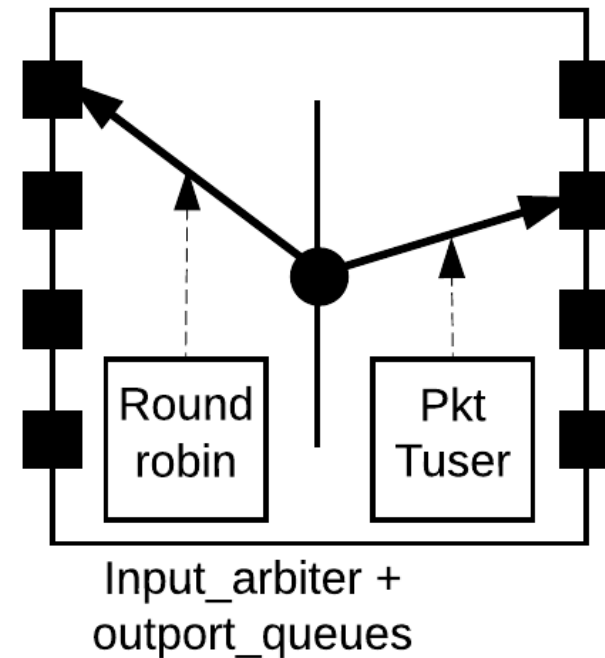
Implementação

- ▶ **KeyFlow_processor:**
- ▶ Cálculo do resto da divisão entre rótulo do pacote (KeyFlow ID) e chave local
- ▶ Alteração dos metadados do pacote para determinar a porta de saída



Implementação

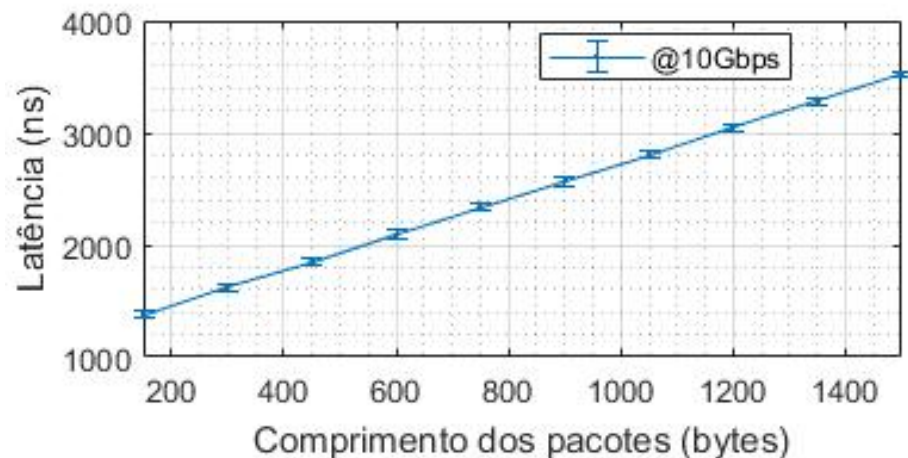
- ▶ **Input_arbiter + output_queues:**
- ▶ Direciona os pacotes para a porta de saída determinada no Tuser
- ▶ Possui filas de entrada e saída



Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
MAC0	CPU0	MAC1	CPU1	MAC2	CPU2	MAC3	CPU3

Testes e Resultados

- ▶ Teste qualitativo para validar a implementação
- ▶ Teste de desempenho (latência em *loopback*)



```

15 0.000001504 f0:0d:f0:0d:f0:0d 64:d1:0d:53:0f:00
16 0.000002464 f0:0d:f0:0d:f0:0d 64:d1:0d:53:0f:00
17 0.000002504 f0:0d:f0:0d:f0:0d 64:d1:0d:53:0f:00
18 0.000001560 f0:0d:f0:0d:f0:0d 64:d1:0d:53:0f:00
19 0.000002496 f0:0d:f0:0d:f0:0d 64:d1:0d:53:0f:00
20 0.000002504 f0:0d:f0:0d:f0:0d 64:d1:0d:53:0f:00
21 0.000001576 f0:0d:f0:0d:f0:0d 64:d1:0d:53:0f:00
22 0.000002512 f0:0d:f0:0d:f0:0d 64:d1:0d:53:0f:00
    
```

```

+ Frame 8: 145 bytes on wire (1160 bits), 145 bytes captured (116
+ Ethernet II, Src: f0:0d:f0:0d:f0:0d (f0:0d:f0:0d:f0:0d), Dst: 6
+ 802.1Q Virtual LAN, PRI: 0, CFI: 0, ID: 14
+ [Malformed Packet: LLC]
    
```

Laboratório de Tecnologias da Informação e Comunicações

[Home](#) [Pesquisadores](#) [Estrutura do Lab](#) [Publicações](#) [Projetos e Gestão a vista](#) [Patrocinadores e Parceiros](#)

INFRAESTRUTURAS
VIRTUAIS (CYBER)

REDES DEFINIDAS
POR SOFTWARE SDN

VIRTUALIZAÇÃO
DE FUNÇÕES DE REDE NFV

ARQUITETURAS
EMERGENTES (FIAS)

FUTURE INTERNET
OF THINGS (FIOT)

INTERNET
OF THINGS (IOT)

NOVAGENESIS

SMART PLACES

RADIO
COGNITIVO

XIA

Obrigado!



FACEBOOK



SLIDESHARE



YOUTUBE



RESEARCHGATE



LINKEDIN